

VLSI 2026 Review

고려대학교 전기및전자공학부 박사과정 안재웅

Session 18 Display Interfaces and Data Conversion Circuits

이번 2026 VLSI의 Session 18에서는 총 5편의 논문이 발표되었다. 이 중 #18-1은 2880-channel OLED DDI에 Miller-charge cancellation (MCC)과 fast-slew input (FSINP)을 적용하여, 모든 channel이 동시에 switching하는 조건에서도 $13.3 \text{ V}/\mu\text{s}$ 의 slew rate를 달성한 내용이다. #18-4는 OLED용 11-bit source-driver IC에 3-stage resistor-resistor-embedded (RRE) DAC과 multi-step offset calibration을 적용하여 $1,723 \mu\text{m}^2/\text{channel}$ 의 면적과 1.6 mV 의 DVO, $0.69 \mu\text{s}$ 의 settling time을 달성하였다. 마지막으로 #18-5는 모든 current source를 활용하는 cross-point (XP) DAC과 improved correlated double integration (I-CDI)을 제안하여 mismatch와 amplifier offset을 줄이고, $1,223 \mu\text{m}^2/\text{channel}$ 의 면적과 4.3 mV 의 DVO를 달성한 내용이다.

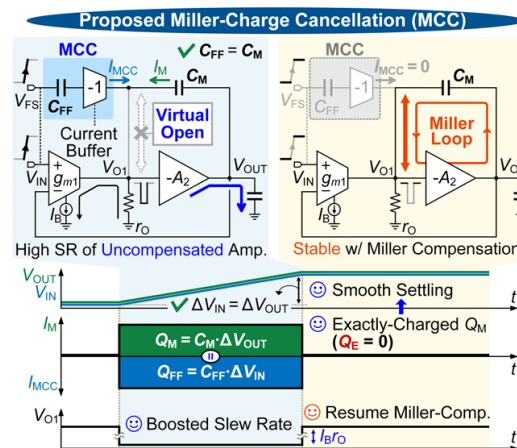
#18-1 논문은 고해상도·고주사율 OLED display에서 source driver의 구동 속도를 높이기 위한 display driver IC (DDI)에 관한 내용이다. 최근 OLED display의 해상도와 frame rate가 증가하면서 한 개의 row에 데이터를 기록할 수 있는 1-H time이 짧아지고 있으며, 이에 따라 source amplifier가 큰 panel load를 빠르게 구동해야 한다. 특히 기존 Miller-compensated amplifier는 큰 입력 신호가 인가될 때 Miller capacitor (C_M)을 bias current로 충전해야 하기 때문에 slew rate가 (I_B/C_M) 으로 제한된다. 또한 수천 개의 source channel이 동시에 동일한 reference voltage를 선택하면 global resistor string에 큰 dynamic load가 발생하여 reference voltage가 흔들리고 settling time이 증가하는 문제가 있다.

이를 해결하기 위해 본 논문에서는 Miller-charge cancellation (MCC) 기법을 제안하였다. MCC는 source amplifier의 입력과 내부 current buffer 사이에 feedforward capacitor (C_{FF})를 추가하고, $C_{FF}=C_M$ 으로 설정하여 입력 전압이 변할 때 발생하는 displacement current를 이용해 Miller capacitor에 필요한 charge를 직접 공급한다. 따라서 slew 구간에서는 Miller capacitor의 영향을 사실상 제거한 amplifier처럼 빠르게 동작하고, 입력 transition이 끝나면 C_{FF} 를 통한 전류가 자연스럽게 사라지면서 기존 Miller compensation이 다시 동작하여 안정적인 settling을 유지한다. 기존 comparator 기반의 slew-rate enhancement와 달리 별도의 입력 offset이나 delay를 이용하여 slew 종료 시점을 판단하지 않기 때문

에 under-charge 또는 over-charge에 의한 settling error도 줄일 수 있다. 또한 기존 folded-cascode summing circuit을 current buffer로 재사용하여 추가 transistor 없이 MCC를 구현함으로써 area 및 static power overhead를 최소화하였다.

한편, 모든 channel이 동시에 동작할 때 global R-string에 집중되는 capacitive load를 줄이기 위해 fast-slew input (FSINP) 기법도 함께 제안하였다. MCC의 입력을 실제 선택된 reference node ($V_R[k]$)에 직접 연결하는 대신 인접한 ($V_R[k-N]$)에 연결하여 수천 개 channel의 capacitive load를 여러 R-string tap으로 분산한다. 이때 MCC는 입력의 DC level이 아니라 voltage transition 크기에 의해 동작하기 때문에 서로 다른 reference tap을 사용하더라도 Miller charge cancellation 동작은 유지할 수 있다.

제안된 DDI는 28-nm CMOS 공정으로 제작되었으며, 2880개의 source channel을 이용하여 3200×2880 해상도의 6.9-inch OLED panel을 120 Hz에서 구동하였다. 16개 channel을 동작시킨 경우 MCC를 적용하여 slew rate가 기존 4.8 V/μs에서 15.7 V/μs로 약 3.3배 향상되었으며, 2880개 channel이 동시에 transition하는 worst-case 조건에서도 MCC와 FSINP를 함께 적용하여 13.3 V/μs의 slew rate를 달성하였다. 또한 전체 2880개 channel의 slew-rate variation은 $\sigma_{SR}=7.5\%$ 로 측정되었다. 실제 OLED panel에서도 기존 구조에서 나타나던 color imbalance와 smearing이 감소했으며, luminance dispersion이 약 10%에서 2%로 감소하여 고해상도 OLED display에서 제안 기법의 효과를 실제 panel 수준에서 검증하였다.



[그림 1] #18-1에서 제안된 Miller-charge cancellation (MCC) 기법

#18-4 논문은 초고해상도 OLED-on-Silicon (OLEDoS) display를 위한 11-bit source-driver IC에 관한 내용이다. OLEDoS는 높은 pixel density를 구현해야 하기 때문에 source-driver의 channel 면적을 매우 작게 만들어야 하는 동시에, 높은 frame rate를 위해 빠른 settling이 요구된다. 또한 OLED pixel은 작은 전류로 동작하기 때문에 channel 간 output voltage 편차인 deviation of voltage output (DVO)에 민감하며, 이는 display uniformity 저

하로 이어질 수 있다. 기존 multi-stage DAC이나 low-voltage DAC 구조는 면적을 줄일 수 있지만, sequential switching에 따른 속도 저하나 channel 수가 증가했을 때 reference-line IR drop으로 DVO가 커지는 문제가 존재한다. 본 논문에서는 이러한 area, speed, DVO 문제를 동시에 해결하기 위해 3-stage resistor-resistor-embedded (RRE) DAC 구조를 제안하였다.

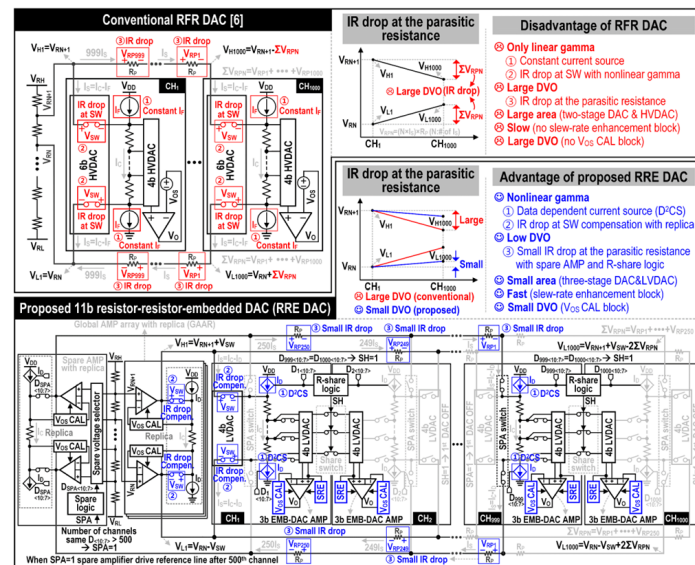
제안된 11-bit RRE DAC은 4b+4b+3b의 3-stage 구조로 구성되며, low-voltage DAC을 함께 사용하여 transistor 수와 device size를 줄인다. 기존 resistor-floating-resistor (RFR) DAC에서는 nonlinear gamma voltage를 생성할 때 coarse DAC에서 선택된 (V_H), (V_L)에 따라 R-string current가 달라지고, 이로 인해 mismatch current가 coarse switch와 reference line을 흐르면서 IR drop이 발생한다. 특히 수백~수천 개의 channel이 동일한 MSB code를 선택하면 reference-line resistance를 통해 흐르는 전류가 누적되어 DVO가 크게 증가할 수 있다. 이를 해결하기 위해 본 논문은 input data에 따라 전류를 조절하는 data-dependent current source (D^2CS)를 적용하여 mismatch current를 줄였으며, replica coarse switch와 fine R-string을 global amplifier에 구성하여 compensating voltage를 생성함으로써 nonlinear gamma 동작에서 V_H 와 V_L 의 정확도를 높였다.

또한 대규모 channel이 동시에 동작할 때 발생하는 reference-line IR drop을 줄이기 위해 spare amplifier와 R-share logic을 제안하였다. 500개 이상의 channel이 동시에 활성화될 경우 spare amplifier가 기존 amplifier의 driving load를 분담하며, 인접 channel이 동일한 MSB 값을 선택하는 경우에는 R-share logic을 통해 동일한 R-string voltage를 공유한다. 이를 통해 reference line을 흐르는 전류를 줄여 1000-channel load 조건에서도 DVO 증가를 억제한다. 한편 global amplifier의 offset은 서로 다른 sourcing/sinking amplifier 사이의 voltage 차이를 유발하여 DAC monotonicity를 깨뜨릴 수 있기 때문에, multi-step offset calibration unit (MOCU)을 적용하였다. MOCU는 5-bit coarse calibration 이후 5-bit fine calibration을 수행하여 residual offset을 줄이면서 calibration 회로의 면적과 시간을 줄였다.

고속 동작을 위해서는 high-pass-filter-assisted dynamic current source (HPDCS)를 이용한 slew-rate enhancement 기법을 적용하였다. HPDCS는 dynamic-bias source follower와 high-pass filter, dynamic current source로 구성되며, 입력이 transition할 때만 dynamic current source가 활성화되어 amplifier의 slew rate를 증가시킨다. 정상 상태에서는 dynamic current source가 꺼지기 때문에 추가적인 static current를 소모하지 않는다. 측정 결과 최대 12 V/ μ s의 slew rate와 0.69 μ s의 settling time을 달성하였다.

제안된 source-driver IC는 65-nm CMOS 공정으로 제작되었다. DAC의 1 LSB는 0.49 mV이며, 최대 DNL과 INL은 각각 0.30 LSB와 0.55 LSB로 측정되었다. MOCU 적용 전 최대 26.2 mV였던 DVO는 1.3 mV까지 감소하였으며, 1000-channel load 조건에서도 spare

amplifier와 R-share logic을 적용하여 최대 DVO를 1.6 mV로 제한하였다. 최종적으로 11-bit resolution을 지원하면서 1,723 $\mu\text{m}^2/\text{channel}$ 의 channel area, 1.6 mV의 DVO, 0.69 μs 의 settling time을 달성하여 기존 연구 대비 작은 channel area와 낮은 DVO, 빠른 settling 성능을 동시에 확보하였다.



[그림 2] #18-4에서 제안된 11b resistor-resistor-embedded DAC (RRE DAC)

#18-5 논문은 mobile OLED display용 10-bit source-driver IC의 channel 면적과 channel 간 출력 전압 편차(DVO)를 동시에 줄이기 위한 DAC 구조에 관한 내용이다. 고해상도 OLED에서는 많은 source channel을 한 chip에 집적해야 하기 때문에 channel 면적을 줄이는 것이 중요하며, 특히 DAC가 channel 면적에서 큰 비중을 차지한다. 기존 segmented DAC는 global resistor-string에서 생성한 V_H , V_L 사이를 in-channel sub-DAC가 세부적으로 보간하는 구조를 사용하지만, sub-DAC 면적을 줄일수록 transistor mismatch가 증가하여 channel 간 deviation of voltage output (DVO)가 커지는 trade-off가 존재한다. 또한 기존 clock-based sub-DAC는 동작 속도가 느리고, charge-modulation QM DAC는 비교적 빠르게 동작하지만 current-source mismatch에 민감하여 device size를 충분히 줄이기 어렵다는 문제가 있다. 본 논문에서는 이를 해결하기 위해 cross-point (XP) DAC와 improved correlated double integration (I-CDI) 기법을 제안하였다.

기존 QM-DAC에서는 선택된 binary-weighted current source를 이용해 amplifier output의 slope를 만들고, 별도의 full-scale current source로 reference capacitor를 방전하여 일정한 integration time (T_C)를 생성한다. 따라서 output voltage는 선택된 current의 slope와 고정된 T_C 의 곱으로 결정되는데, 이 구조는 T_C 생성을 위한 추가적인 full-scale current source가 필요하고, 선택되지 않은 current source들은 conversion 과정에서 사용되지 않는다.

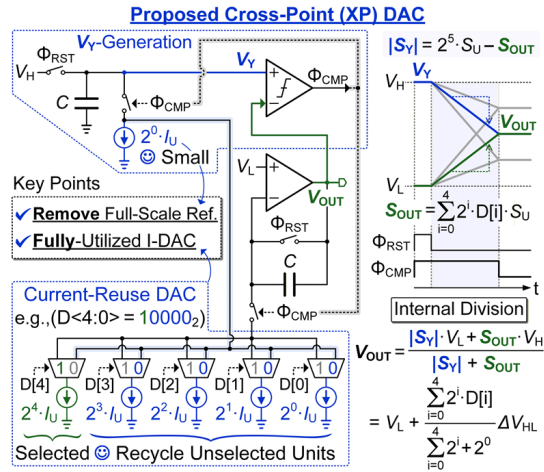
또한 T_C 를 만드는 current와 output slope를 만드는 current 사이의 mismatch가 직접 output error로 나타나는 문제가 있다.

이를 개선하기 위해 제안된 XP-DAC는 선택되지 않은 current source까지 모두 재사용한다. 입력 code에 의해 선택된 current들은 V_{OUT} 을 상승시키는 slope (S_{OUT})을 만들고, 선택되지 않은 current들은 반대쪽 node (V_Y)를 하강시키는 slope (S_Y)를 형성한다. Comparator는 두 전압 V_{OUT} 과 V_Y 가 만나는 cross-point를 검출하며, 이 시점에서 두 integration을 동시에 종료한다. 따라서 output은 고정된 integration time이 아니라 두 slope의 상대적인 크기에 의해 결정되며, 모든 binary-weighted current source가 매 conversion마다 사용된다. 이러한 internal division 구조를 통해 local current-source mismatch를 평균화할 수 있으며, 특히 code에 따른 output deviation이 한쪽 방향으로 누적되지 않고 symmetric-centroid 형태로 분포하게 된다.

Mismatch 분석 결과, XP-DAC는 기존 QM-DAC보다 output variation에 대한 민감도가 낮으며, worst-case code에서 약 2배 작은 deviation을 갖는다. 논문에서는 Pelgrom's law를 기준으로 이 mismatch 감소를 transistor 면적 감소로 연결할 경우 current-source transistor size를 약 4배 줄일 수 있으며, 기존 QM-DAC에서 필요했던 별도의 full-scale current source도 제거할 수 있기 때문에 결과적으로 DAC area를 최대 8배까지 줄일 수 있다고 설명한다. 또한 XP-DAC의 output은 V_H 와 V_L 사이의 internal division으로 결정되기 때문에 output이 reference 범위를 벗어나지 않아 monotonicity 확보에도 유리하다.

한편 cross-point를 검출하는 comparator의 propagation delay로 인해 발생하는 error와 source amplifier의 offset을 제거하기 위해 improved correlated double integration (I-CDI) 기법을 적용하였다. 기존 CDI는 comparator의 cross-point detection error를 sampling하여 보정할 수 있지만 output amplifier의 offset까지 제거하지는 못한다. 제안된 I-CDI는 기존 error-sampling 과정에서 사용되는 feedback capacitor를 amplifier offset auto-zero에도 재사용하며, 이를 위해 MUX 하나만 추가한다. 따라서 별도의 큰 calibration circuit 없이 comparator-induced error와 amplifier offset을 동시에 줄일 수 있다.

제안된 source-driver IC는 180-nm CMOS 공정으로 제작되었으며, 5-bit global R-DAC와 5-bit XP-DAC를 결합하여 10-bit grayscale을 구현하였다. 30 k Ω 과 30 pF의 panel load 조건에서 최소 1-H time 1.5 μ s로 10-bit settling accuracy를 만족하였다. I-CDI를 적용하면 16개 channel의 output dispersion이 기존 약 27 mV에서 3 mV로 감소하였으며, 전체 grayscale에서 최대 DVO 4.3 mV를 달성하였다. 또한 측정된 maximum DNL과 INL은 각각 0.36 LSB와 1.02 LSB였으며, 최종 channel size는 107.6 $\times$ 11.3 μ m²를 달성하였다. 이를 통해 빠른 1-H scan time을 유지하면서 작은 channel area와 낮은 DVO를 동시에 확보하였다.



[그림 3] #18-5에서 제안된 cross-point (XP) DAC based internal division 메커니즘

저자정보



안재웅 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : 디스플레이 드라이버 / 터치 센서 / PMIC
- 이메일 : ajw1104@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>